



(43) 國際公開日  
2005 年 11 月 24 日 (24.11.2005)

**PCT**

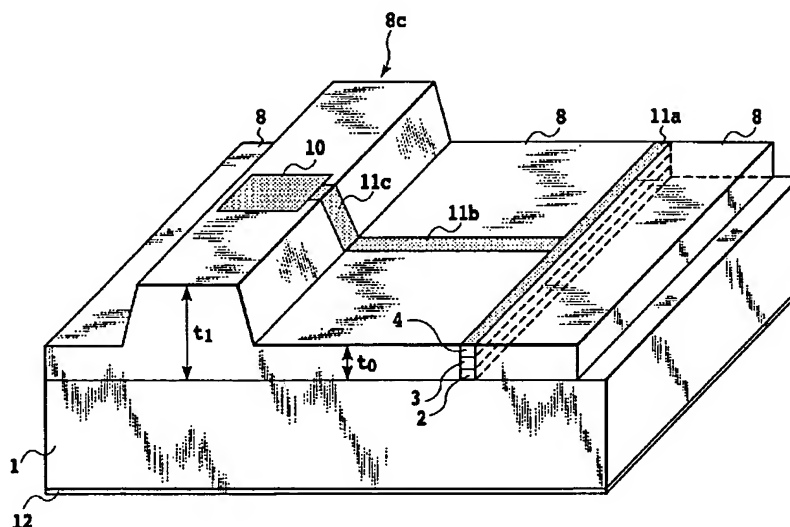
(10) 国際公開番号  
**WO 2005/112096 A1**

- |                             |   |   |
|-----------------------------|---|---|
| (51) 国際特許分類:                | H01L 21/3205,<br>21/60, 27/14, H01S 5/042   | (72) 発明者; および<br>(75) 発明者/出願人 (米国についてのみ): 赤毛 勇一 (AK-AGE, Yuichi) [JP/JP]; 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 深野 秀樹 (FUKANO, Hideki) [JP/JP]; 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 山中 孝之 (YAMANAKA, Takayuki) [JP/JP]; 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 齋藤 正 (SAITOH, Tadashi) [JP/JP]; 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). |
| (21) 国際出願番号:                | PCT/JP2005/009064   |   |
| (22) 国際出願日:                 | 2005 年5 月18 日 (18.05.2005)  |   |
| (25) 国際出願の言語:               | 日本語   |   |
| (26) 国際公開の言語:               | 日本語   |   |
| (30) 優先権データ:                | 特願2004-147294 2004 年5 月18 日 (18.05.2004) JP   |   |
| (71) 出願人 (米国を除く全ての指定国について): | 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町二丁目3番1号 Tokyo (JP). | (74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒1070052 東京都港区赤坂2丁目6-2 O Tokyo (JP).  |

[續葉有]

- (54) Title:** ELECTRODE PAD ON CONDUCTIVE SEMICONDUCTOR SUBSTRATE

- (54) 発明の名称: 導電性半導体基板上の電極パッド



- (S7) Abstract:** An electrode pad on a semiconductor substrate is provided. The pad has a small capacitance on an electrode pad part, and permits characteristic impedance of the electrode pad having a practical size to be controlled. On an n-InP substrate (1), a mesa stripe type optical waveguide is formed by stacking a clad layer (2), an i layer (3), a p-InP clad layer and a p-type contact layer (4), and in the vicinity of the optical waveguide, an insulating material film (8) having a mesa-shaped deposited part (8c) is formed on the n-InP substrate (1). An electrode metal (11a) and wiring metals (11b, 11c) for supplying the optical waveguide with an electric signal are arranged on the optical waveguide and the insulating material film (8), respectively, and an electrode pad (10) is arranged on an upper plane of the mesa-shaped deposited part (8c) to have a prescribed interval ( $t_1$ ) (approximately 17-29  $\mu$ m) between the n-InP board (1) and the electrode pad (10).

- (57) 要約: 電極パッド部分の容量を小さくすると共に、実用的な電極パッドのサイズに対して特性インピーダンスの制御を可能とした半導体基板上の電極パッドを提供する。n-InP基板 1 上に、n-InPクラッド層 2 と i 層 3 と p-InPクラッド層 4 とを積層し、電極パッド 5 を形成する。

〔統葉有〕



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ド層及びp型コンタクト層4とを積層してなるメサストライプ型の光導波路を形成し、光導波路の近傍にメサ状堆積部8cを有する絶縁性材料膜8をn-InP基板1上に形成し、光導波路に電気信号を供給する電極メタル11aおよび配線メタル11b,11cをそれぞれ光導波路及び絶縁性材料膜8の上に配置すると共に、電極パッド10をメサ状堆積部8cの上面に配置してn-InP基板1と電極パッド10とが所定の間隔 $t_1$  (約17~29 $\mu$ m)を有するようにする。